

PATENT  
81790.0296

Express Mail Label No. EV 325 217 412 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kazuko INUZUKA et al.

Serial No: Not assigned

Filed: September 15, 2003

For: Synchronous Semiconductor Memory  
Device of Fast Random Cycle System and  
Test Method Thereof

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-287868 which was filed September 30, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: September 15, 2003

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-287868

[ST.10/C]:

[JP2002-287868]

出 願 人

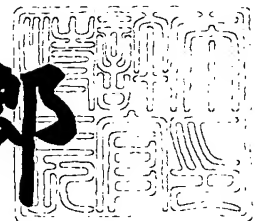
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025657



【書類名】 特許願

【整理番号】 A000204219

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407

【発明の名称】 同期型半導体記憶装置及びそのテスト方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 犬塚 和子

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 川口 一昭

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100084618

    【弁理士】

    【氏名又は名称】 村松 貞男

【選任した代理人】

    【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期型半導体記憶装置及びそのテスト方法

【特許請求の範囲】

【請求項 1】 第 1 のコマンドと、この第 1 のコマンドが入力された次のサイクルで入力される第 2 のコマンドとの組み合わせにより動作が制御され、前記第 1 のコマンドの入力に応答してロウ系回路の動作が開始され、前記第 2 のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、

前記第 1 のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第 1 の信号を生成する第 1 の回路と、

前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始を前記第 2 のコマンドの入力と同期させるためのテストモード用の第 2 の信号を生成する第 2 の回路と、

前記動作モード指示信号で通常動作モードが指示された時に、前記第 1 の回路から出力される第 1 の信号を選択し、テストモードが指示された時に、前記第 2 の回路から出力される第 2 の信号を選択し、選択した前記第 1 または第 2 の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第 3 の信号を生成する第 3 の回路と

を具備することを特徴とする同期型半導体記憶装置。

【請求項 2】 第 1 のコマンドと、この第 1 のコマンドが入力された次のサイクルで入力される第 2 のコマンドとの組み合わせにより動作が制御され、前記第 1 のコマンドの入力に応答してロウ系回路の動作が開始され、前記第 2 のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、

前記第 1 のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第 1 の信号を生成する第 1 の回路と、

前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するた

めの選択信号が入力され、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせるためのテストモード用の第2の信号を生成する第2の回路と、

前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路と

を具備することを特徴とする同期型半導体記憶装置。

【請求項3】 第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、

前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、

前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始のタイミングを前記第2のコマンドよりも半クロック単位または1クロック単位で順次遅延し、タイミング制御信号に基づいて遅延量を選択することにより、前記ロウ系回路の動作開始のタイミングを設定するテストモード用の第2の信号を生成する第2の回路と、

前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路と

を具備することを特徴とする同期型半導体記憶装置。

【請求項4】 前記第2の回路は、ロウ系回路の動作開始のタイミングを前

記第 2 のコマンドよりも半クロック単位または 1 クロック単位で遅延する遅延回路を含むことを特徴とする請求項 1 または 2 に記載の同期型半導体記憶装置。

【請求項 5】 前記第 2 の回路は、タイミング制御信号に基づいて遅延量を選択するタイミング制御回路を含むことを特徴とする請求項 3 に記載の同期型半導体記憶装置。

【請求項 6】 前記選択信号はメモリセルアレイ中のバンクを選択する信号であり、前記第 3 の信号は前記メモリセルアレイにおける選択したバンクを活性化する信号であることを特徴とする請求項 1 乃至 5 いずれか 1 つの項に記載の同期型半導体記憶装置。

【請求項 7】 第 1 のコマンドと、この第 1 のコマンドが入力された次のサイクルで入力される第 2 のコマンドとの組み合わせにより動作が制御され、前記第 1 のコマンドの入力に応答してロウ系回路の動作が開始され、前記第 2 のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、

通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、

第 1 のコマンドを入力するステップと、

前記第 1 のコマンドを入力した次のサイクルで第 2 のコマンドを入力するステップと、

前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始を前記第 2 のコマンドの入力と同期させるステップと、

メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、  
活性化された前記メモリセルに対してスクリーニングテストを行うステップと  
を具備することを特徴とする同期型半導体記憶装置のテスト方法。

【請求項 8】 第 1 のコマンドと、この第 1 のコマンドが入力された次のサイクルで入力される第 2 のコマンドとの組み合わせにより動作が制御され、前記第 1 のコマンドの入力に応答してロウ系回路の動作が開始され、前記第 2 のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、

通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、

第 1 のコマンドを入力するステップと、

前記第 1 のコマンドを入力した次のサイクルで第 2 のコマンドを入力するステップと、

前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせるステップと

、

メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、  
活性化された前記メモリセルに対してスクリーニングテストを行うステップと  
を具備することを特徴とする同期型半導体記憶装置のテスト方法。

【請求項 9】 第 1 のコマンドと、この第 1 のコマンドが入力された次のサイクルで入力される第 2 のコマンドとの組み合わせにより動作が制御され、前記第 1 のコマンドの入力に応答してロウ系回路の動作が開始され、前記第 2 のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、

通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、

第 1 のコマンドを入力するステップと、

前記第 1 のコマンドを入力した次のサイクルで第 2 のコマンドを入力するステップと、

前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始のタイミングを第 2 のコマンドよりも半クロック単位または 1 クロック単位で遅延するステップと、

タイミング制御信号に基づいて、前記ロウ系回路の動作開始のタイミングを選択するステップと、

メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、  
活性化された前記メモリセルに対してスクリーニングテストを行うステップと  
を具備することを特徴とする同期型半導体記憶装置のテスト方法。



【請求項 10】 前記スクリーニングテストを行うステップの前に、ロウ系制御のカラムゲーティング解除信号の切り替わりのタイミングを前倒しするステップを更に具備し、ガードバンドを持ったスクリーニングテストを行うことを特徴とする請求項 7 乃至 9 いずれか 1 つの項に記載の同期型半導体記憶装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期型半導体記憶装置係り、特にメモリセルアレイからのランダムなデータの読み書きを高速に行う機能を有する高速ランダムサイクル方式の同期型半導体メモリ（FCRAM）及びそのテスト方法に関するもので、例えば高速ランダムサイクルRAM（SDR-FCRAM）、さらにその2倍のデータ転送レートを実現するダブルデータレート型高速ランダムサイクルRAM（DDR-FCRAM）などに使用されるものである。

【0002】

【従来技術】

DRAMのデータアクセスを高速化し、高いデータバンド幅を得るために、シンクロナスDRAM（SDRAM）が発案され、実用化されている。最近では、更なるバンド幅向上のため、SDRAMの2倍のデータレートで動作するダブルデータレートSDRAM（DDR-SDRAM）が提案され、製品化されている。しかし、SDRAMのバンド幅の向上が進む一方で、ランダムサイクルタイム（ $t_{RC}$ ）、即ち、異なるロウアドレスへのデータアクセスのサイクルタイムは、メモリコアからのデータ読み出し、増幅動作、プリチャージ動作に一定の時間を要するため、大幅な高速化は困難であった。

【0003】

この問題を解決するため、メモリコアへのアクセス及びプリチャージ動作をパイプライン化し、ランダムサイクルタイム $t_{RC}$ を従来のSDRAMの $1/2$ 以下に短縮した高速サイクルRAM（Fast Cycle RAM：FCRAM）が提案され、製品化が始まっている。

## 【 0 0 0 4 】

まず、上記 F C R A M のコマンド体系について概略的に説明する（例えば特許文献 1 参照）。F C R A M のコマンドは、第 1 のコマンド（ファーストコマンド）と、この第 1 のコマンドの次のサイクルで入力される第 2 のコマンド（セカンドコマンド）とから成り、その組み合わせにより種々の動作が決定される。上記ファーストコマンドは、ロウ系回路の動作を開始するためのコマンドであり、セカンドコマンドはカラム系回路の動作を開始するためのコマンドである。ファーストコマンドが入力されてロウ系回路の動作が開始されてから、セカンドコマンドが入力されてカラム系回路の動作が開始されるまでの時間  $t_{RCD}$  が 1 クロックサイクルになる。

## 【 0 0 0 5 】

図 5 は、上記 F C R A M におけるファーストコマンドとセカンドコマンドの組み合わせによる動作の状態遷移図である。図 6 は、上記図 5 のコマンド入力に対応したピン入力を示したファンクションテーブルである。

## 【 0 0 0 6 】

図 5 に示すように、待機状態（S T A N D B Y）の次のファーストコマンド入力において、ロウアドレスを取り込み、周辺のロウ系回路の動作を開始する従来のロウアクセスコマンド A C T の代わりに、リードコマンド（Read with Auto-close）R D A あるいはライトコマンド（Write with Auto-close）W R A を直接与える。そして、図 6 のファンクションテーブル示すように、S D R / D D R - S D R A M に設けられているチップセレクト信号 / C S ピンを“L”レベルにしたときにコマンド入力を受け付ける。リードとライトのコマンドの区別は、コマンドの種類を定義する F N （ファンクションコントロール）ピンというピンを用い、この F N ピンに与えられた信号のレベルにより行う。この例では、リードであれば F N ピンを“H”レベルにセット、ライトであれば“L”レベルにセットする。

## 【 0 0 0 7 】

また、センスアンプの分割デコード用のロウアドレスもファーストコマンドで与えることができる。但し、S D R / D D R - S D R A M で用いる、標準パッケ

ージのピン数に制限があるため、既存のコントロールピンをアドレスピンとして転用し、ピン数の増加を抑えている。この例では、SDR/DDR-SDRAMにおける、 $\text{WE}$ （ライトイネーブル）信号ピンと、 $\text{CAS}$ （カラムアドレスストロブ）信号ピンをアドレスピンA14，A13ピンとして転用している。

## 【0008】

コマンドの決定は、 $\text{CS}$ （チップセレクト信号）と $\text{FN}$ （ファンクションコントロール信号）の2ピンを使用し、その組み合わせにより確定する。ファーストコマンドには、 $\text{CS} = \text{"L"}$  レベルで且つ $\text{FN} = \text{"H"}$  レベルのライトアクティブ（Write with Auto-Close: WRA）、 $\text{CS} = \text{"L"}$  レベルで且つ $\text{FN} = \text{"L"}$  レベルのリードアクティブ（Read with Auto-Close: RDA）があり、セカンドコマンドには $\text{CS} = \text{"H"}$  レベルのロウアドレスラッチ（Lower Address Latch: LAL）、 $\text{CS} = \text{"L"}$  レベルのモードレジスタセット（Mode Register Set: MRS）及びオートリフレッシュ（Auto Refresh: REF）があり、その組み合わせにより、ライト動作、リード動作、モードレジスタセット動作、オートリフレッシュ動作のコマンドが入力される。また、ロウアドレスはファーストコマンド入力時に、カラムアドレスはセカンドコマンド入力時に取り込まれる。

## 【0009】

上記構成のFCRAMでは、ファーストコマンドによりライト/リード動作を確定するため、ロウアドレスの取り込みと同時に周辺回路のみならずメモリアの動作も開始でき、セカンドコマンドからメモリアの動作開始を行うよりもランダムアクセスの開始が早くなる。また、セカンドコマンドではカラムアドレスを取り込むだけで良いため、カラム選択線CSLを選択してデータを出力する過程を速くでき、データを周辺に早期に転送できることから、ワード線のリセットからビット線のプリチャージの前倒しが可能となる。即ち、FCRAMでは、ランダムアクセスタイム $t_{\text{RAC}}$ とランダムサイクルタイム $t_{\text{RC}}$ 双方の高速化が可能である。

## 【0010】

次に、上記FCRAMの動作について、簡単に説明する。

## 【 0 0 1 1 】

図 7 は、クロックサイクルタイムが短い時の F C R A M の動作を説明するための動作波形図である。F C R A M ではファーストコマンドとセカンドコマンドが連続サイクルで入力される。ファーストコマンドにより、ロウ系回路の動作を開始する信号（コマンド検知信号） $bACTV$  が “L” レベルになるのを受けて、該当するバンクの活性化信号  $BNK$  が “H” レベルになり、該当アドレスのワード線  $WL$  が活性化され、セルデータがビット線対  $BL$  に読み出される。これによって、カラム系回路の動作開始を許可する信号（カラムゲーティング解除信号） $bCENB$  が “L” レベルになる。

## 【 0 0 1 2 】

一方、セカンドコマンドの入力により、ライト／リード動作とオートリフレッシュ／モードレジスタセットが検知される。リード／ライト時にはセカンドコマンド検知信号  $bCOLACT$  が “L” レベルになり、カラム系回路の動作が開始される。セカンドコマンドでリード／ライト動作を受け付けることで発生する信号  $CENBON$  を受けて、カラムセレクト信号（カラム選択線  $CSL$  が “H” レベル）が発生し、該当カラムアドレスにおいて、リード時にはビット線  $BL$  上のデータが読み出され、ライト時にはビット線  $BL$  にデータが書き込まれる。

## 【 0 0 1 3 】

ここで、バンク活性化時間は内部タイマーで設定され、該当するバンクの活性化信号  $BNK$  を受けて作動するタイマーの出力信号  $BNKTMR$  が “L” レベルになるのを受けて、バンク活性化を終了させる信号  $FCTMR$  が出力される。そして、活性化開始から一定時間経過後、該当するバンクの活性化信号  $BNK$  は非活性となり、ロウプリチャージが開始される。

## 【 0 0 1 4 】

クロックサイクルタイムが短い時には、カラム選択線  $CSL$  はセカンドコマンド検知信号  $bCOLACT$  の “L” レベルへの切り替わりを直ぐには受け付けず、ロウ系回路のカラムゲーティング解除信号  $bCENB$  の “L” レベルを受け付けてから、“H” レベルに切り替わるシステムになっている。この時には、ロウ系からカラム系に切り替わる動作が一連であり、ファーストコマンドが入力さ

れてロウ系回路の動作が開始されてから、セカンドコマンドが入力されてカラム系回路の動作が開始されるまでの時間  $t_{RCD}$  が最も厳しい条件になる。

## 【 0 0 1 5 】

ところで、高速な動作を行うメモリにおいては、上記  $t_{RCD}$  のスペックが厳しく、上流工程、即ち製品の基本動作チェックを行うダイ・ソートテストにおいて、メモリセルからの読み出し信号量の少ないビットをスクリーニングしてリダランシビットに置換し、後工程の歩留まりを向上することが重要である。ダイ・ソートテストでは、通常動作を超えた長いサイクルのクロックが入力されるが、シンクロナス DRAM においては、スペックで定義されたものより短い  $t_{RCD}$  でセカンドコマンドを入力することにより、スクリーニングを行ってきた。

## 【 0 0 1 6 】

しかし、FCRAM においては、ファーストコマンドを入力してからセカンドコマンドを受け付けるまでの時間  $t_{RCD}$  は 1 クロックサイクルで定義されており、クロックサイクルの長いダイ・ソートテストにおいては、 $t_{RCD}$  を短くしてテストすることができず、スクリーニングが難しい。

## 【 0 0 1 7 】

図 8 は、ダイ・ソートテストなどのクロックサイクルタイムが緩和された条件における、FCRAM の動作を説明するための動作波形図である。図 8 からわかるように、 $t_{RCD}$  が緩和されていることから、カラム選択線 CSL は、ロウ系回路の動作終了を受けてカラム制御回路を動作可能にするカラムゲーティング解除信号  $b_{CENB}$  の “L” レベルを待つことなく、セカンドコマンド検知信号  $b_{COLACT}$  を受けて直ちに “H” レベルに切り替わる。

## 【 0 0 1 8 】

即ち、ビット線  $BL/bBL$  がある程度  $V_{BLH}/V_{SS}$  レベルに充放電された条件においてカラム選択線 CSL が選択されるので、実動作と比較すると緩和された条件でのテストとなり、不良品がテストをすり抜けてしまう恐れがある。

## 【 0 0 1 9 】

## 【特許文献 1】

特開 2 0 0 1 - 1 8 9 0 7 7

## 【 0 0 2 0 】

## 【発明が解決しようとする課題】

上記のように、従来の高速ランダムサイクル方式の同期型半導体記憶装置及びそのテスト方法では、クロックサイクルタイム  $t_{CK}$  の長いダイ・ソートテストなどのテストモードにエントリした時に、通常のスペックを超えた長いサイクルのクロック信号が入力されるため、ファーストコマンドが入力されてロウ系回路の動作が開始されてから、セカンドコマンドが入力されてカラム系回路の動作が開始されるまでの時間  $t_{RCD}$  を短くしてスクリーニングテストするのが難しい、という問題があった。

## 【 0 0 2 1 】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、長いクロックサイクルであっても、 $t_{RCD}$  を厳しい条件にしてスクリーニングテストを実行できる同期型半導体記憶装置及びそのテスト方法を提供することにある。

## 【 0 0 2 2 】

## 【課題を解決するための手段】

本発明の同期型半導体記憶装置は、第 1 のコマンドと、この第 1 のコマンドが入力された次のサイクルで入力される第 2 のコマンドとの組み合わせにより動作が制御され、前記第 1 のコマンドの入力に応答してロウ系回路の動作が開始され、前記第 2 のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、前記第 1 のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第 1 の信号を生成する第 1 の回路と、前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始を前記第 2 のコマンドの入力と同期させるためのテストモード用の第 2 の信号を生成する第 2 の回路と、前記動作モード指示信号で通常動作モードが指示された時に、前記第 1 の回路から出力される第 1 の信号を選択し、テストモードが指示された時に、前記第 2 の回路から出力される第 2 の信号を選択し、選択した前記第 1 または第 2 の信号と前記選択信号と

に基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路とを具備することを特徴としている。

#### 【0023】

上記のような構成によれば、クロックサイクルタイム $t_{CK}$ の長いダイ・ソートテストなどのテストモードにエントリした時に、この同期型半導体記憶装置内部でロウ系回路の動作開始を遅らせて、第2のコマンドの入力と同期させることができる。これによって、第1のコマンドが入力され、ロウ系回路の動作が開始されてから第2のコマンドが入力されカラム系回路の動作が開始されるまでの時間 $t_{RCD}$ を短くして厳しい条件でメモリアレイのスクリーニングを行うことができる。

#### 【0024】

また、本発明の同期型半導体記憶装置は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせるためのテストモード用の第2の信号を生成する第2の回路と、前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路とを具備することを特徴としている。

#### 【0025】

上記のような構成によれば、カラム選択線 $CSL$ の活性化タイミングが、カラ

ム系回路の他の制御との兼ね合いにより、第2のコマンドから半クロックあるいは1クロック後のサイクルから制御される場合にも、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせることができ、 $t_{RC D}$ が厳しい条件でのスクリーニングテストを実現できる。

#### 【0026】

更に、本発明の同期型半導体記憶装置は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始のタイミングを前記第2のコマンドよりも半クロック単位または1クロック単位で順次遅延し、タイミング制御信号に基づいて遅延量を選択することにより、前記ロウ系回路の動作開始のタイミングを設定するテストモード用の第2の信号を生成する第2の回路と、前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路とを具備することを特徴としている。

#### 【0027】

上記のような構成によれば、ロウ系回路の動作開始のタイミングをタイミング制御信号で自由に設定でき、必要に応じた $t_{RC D}$ が厳しい条件でのスクリーニングテストを実現できる。

#### 【0028】

本発明の同期型半導体記憶装置のテスト方法は、第1のコマンドと、この第1



のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、第1のコマンドを入力するステップと、前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始を前記第2のコマンドの入力と同期させるステップと、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴としている。

## 【 0 0 2 9 】

上記のような方法によれば、クロックサイクルタイム  $t_{CK}$  の長いダイ・ソートテストなどのテストモードにエントリした時に、この同期型半導体記憶装置内部でロウ系回路の動作開始を遅らせて第2のコマンドの入力と同期させることができる。これによって、第1のコマンドが入力されロウ系回路の動作が開始されてから、第2のコマンドが入力されカラム系回路の動作が開始されるまでの時間  $t_{RCD}$  を短くして厳しい条件でメモリコアのスクリーニングを行うことができる。

## 【 0 0 3 0 】

また、本発明の同期型半導体記憶装置のテスト方法は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、第1のコマンドを入力するステップと、前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始をカラム選択線が活性化するクロック

サイクルタイムに合わせるステップと、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴としている。

## 【 0 0 3 1 】

上記のような方法によれば、カラム選択線 C S L の活性化タイミングが、カラム系回路の他の制御との兼ね合いにより、第 2 のコマンドから半クロックあるいは 1 クロック後のサイクルから制御される場合にも、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせることができ、 $t_{RC}$  D が厳しい条件でのスクリーニングテストを実現できる。

## 【 0 0 3 2 】

更に、本発明の同期型半導体記憶装置のテスト方法は、第 1 のコマンドと、この第 1 のコマンドが入力された次のサイクルで入力される第 2 のコマンドとの組み合わせにより動作が制御され、前記第 1 のコマンドの入力に応答してロウ系回路の動作が開始され、前記第 2 のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、第 1 のコマンドを入力するステップと、前記第 1 のコマンドを入力した次のサイクルで第 2 のコマンドを入力するステップと、前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始のタイミングを第 2 のコマンドよりも半クロック単位または 1 クロック単位で遅延するステップと、タイミング制御信号に基づいて、前記ロウ系回路の動作開始のタイミングを選択するステップと、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴としている。

## 【 0 0 3 3 】

上記のような方法によれば、タイミング制御信号に基づいて、ロウ系回路の動作開始のタイミングをタイミング制御信号で自由に設定でき、必要に応じた  $t_{RC}$  D が厳しい条件でのスクリーニングテストを実現できる。

## 【 0 0 3 4 】

## 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

## 【第 1 の実施の形態】

本第 1 の実施の形態では、FCRAMにおいて、クロックサイクルタイム $t_{CK}$ の長いダイ・ソートテストなどのテストモードにエントリした時に、このFCRAM内部でのロウ系回路の動作開始を遅らせ、スクリーニングテストを行うようにしている。例えば、バンク活性化信号 $b_{BNKACT}$ をセカンドコマンドの入力まで遅延させることによって、ファーストコマンドが入力されロウ系回路の動作が開始されてから、セカンドコマンドが入力されカラム系回路の動作が開始されるまでの時間 $t_{RCD}$ を短くしてメモリアレイのスクリーニングテストを行う。

## 【0035】

図 1 は、本発明の第 1 の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するためのもので、FCRAMにおいて、クロックサイクルタイム $t_{CK}$ の長いダイ・ソートテストなどの時に $t_{RCD}$ を短くした動作（ $t_{RCDmin}$ ）でスクリーニングテストを行うための回路を抽出してその構成例を示している。この回路は、コマンド検知信号 $b_{ACTV}$ 、通常動作モードかテストモードかを指示する動作モード指示信号 $TM_{TRCDMIN}$ 、 $b_{TMTRCDMIN}$ 、及びバンク選択信号 $BNKSEL$ に基づいて、通常動作モードで動作する時とテストモードで動作する時とで異なるタイミングのブロック活性化信号 $b_{BNKACT}$ を生成し、メモリアレイ中の選択されたブロックを活性化するものである。

## 【0036】

図 1 に示す如く、この回路は、各々が所望のタイミングの信号を生成する論理回路を形成する第 1 乃至第 3 の回路 11～13 を含んで構成されている。上記第 1 の回路 11 は、第 1 のコマンド（ファーストコマンド）に応答して活性化されるコマンド検知信号 $b_{ACTV}$ から、通常動作モード用の信号を生成する。上記第 2 の回路 12 は、上記コマンド検知信号 $b_{ACTV}$ 、動作モード指示信号 $TM_{TRCDMIN}$ 及びバンクを選択するためのバンク選択信号 $BNKSEL$ が入力

され、ロウ系回路の動作開始を第2のコマンド（セカンドコマンド）の入力と同時に設定する（同期させる）ためのテストモード用の第2の信号  $bACTVD$  を生成する。上記第3の回路13は、動作モード指示信号  $TMTRCDMIN$ 、 $bTMTRCDMIN$  に応答して通常動作モードとテストモードの切替動作を行うものである。通常動作モードとテストモードのいずれの場合にもコマンド検知信号  $bACTV$  は全バンクに対して活性化されており、通常動作モードが指示された時には、バンク選択信号  $BNKSEL$  で選択されているバンクのみから第3の信号  $bBANKACT$  が出力される。一方、テストモードが指示された時には、バンク選択信号  $BNKSEL$  で選択されているバンクのみで第2の信号  $bACTVD$  が選択され、第3の信号  $bBANKACT$  が出力される。

#### 【0037】

上記第1の回路11は、ロウ系回路の動作を開始する信号（コマンド検知信号） $bACTV$  から所定期間のパルス信号を発生するパルス発生回路であり、インバータ21、22、23とノアゲート24とを備えている。上記コマンド検知信号  $bACTV$  は、上記インバータ21の入力端及び上記ノアゲート24の一方の入力端に供給される。上記インバータ21の出力端は上記インバータ22の入力端に、上記インバータ22の出力端は上記インバータ23の入力端にそれぞれ接続される。上記インバータ23の出力端は上記ノアゲート24の他方の入力端に接続され、このノアゲート24の出力端から第1の信号が出力される。

#### 【0038】

一方、上記第2の回路12は、インバータ31～39、クロックドインバータ40～44、ノアゲート45、46及びナンドゲート47、48などを含んで構成されている。動作モード指示信号  $TMTRCDMIN$  は上記インバータ31の入力端に供給され、このインバータ31の出力信号  $bTMTRCDMIN$  が上記ノアゲート45の一方の入力端に供給される。このノアゲート45の他方の入力端には、コマンド検知信号  $bACTV$  が供給される。このノアゲート45の出力端はナンドゲート47の一方の入力端に接続される。上記ナンドゲート47は、クロック信号  $bCLK$ 、 $CLK$  に同期して動作するもので、他方の入力端にはバンク選択信号  $BNKSEL$  が供給される。上記ナンドゲート47の出力端には、

インバータ 3 2 の入力端が接続される。このインバータ 3 2 の出力端には、クロック信号 CLK, b CLK に同期して動作するクロックドインバータ 4 0 の入力端が接続され、その出力端は上記インバータ 3 2 の入力端に接続される。また、上記インバータ 3 2 の出力端は、クロック信号 CLK, b CLK に同期して動作するクロックドインバータ 4 1 の入力端に接続される。上記クロックドインバータ 4 1 の出力端は、インバータ 3 3 の入力端に接続される。上記インバータ 3 3 の出力端には、クロック信号 b CLK, CLK に同期して動作するクロックドインバータ 4 2 の入力端が接続され、その出力端は上記インバータ 3 3 の入力端に接続される。上記インバータ 3 3 の出力端は、クロック信号 b CLK, CLK に同期して動作するクロックドインバータ 4 3 の入力端に接続される。上記クロックドインバータ 4 3 の出力端は、インバータ 3 4 の入力端に接続される。このインバータ 3 4 の出力端には、クロック信号 CLK, b CLK に同期して動作するクロックドインバータ 4 4 の入力端が接続され、その出力端は上記インバータ 3 4 の入力端に接続される。

## 【 0 0 3 9 】

また、上記インバータ 3 4 の出力端は、インバータ 3 5 の入力端に接続される。このインバータ 3 5 の出力端には、インバータ 3 6 の入力端が接続されるとともに、上記ノアゲート 4 6 の一方の入力端が接続される。上記インバータ 3 6 の出力端はインバータ 3 7 の入力端に、このインバータ 3 7 の出力端はインバータ 3 8 の入力端に順次接続され、インバータ 3 8 の出力端は上記ノアゲート 4 6 の他方の入力端に接続される。上記ノアゲート 4 6 の出力端は、ナンドゲート 4 8 の一方の入力端に接続され、他方の入力端には信号 TMTRCDMIN が供給される。上記ナンドゲート 4 8 の出力端はインバータ 3 9 の入力端に接続され、このインバータ 3 9 からテスト用のコマンド検知信号（第 2 の信号）b ACTVD が出力されるようになっている。

## 【 0 0 4 0 】

上記第 3 の回路 1 3 は、アンドゲート 5 1, 5 2、ノアゲート 5 3, 5 4、インバータ 5 5, 5 6 及びナンドゲート 5 7 を含んで構成されている。上記アンドゲート 5 1 の一方の入力端は上記ノアゲート 2 4 の出力端に接続され、他方の入

力端には上記インバータ 3 1 から出力される信号  $b_{TMTRCDMIN}$  が供給される。上記アンドゲート 5 2 の一方の入力端は上記インバータ 3 9 の出力端に接続されて信号  $b_{ACTVD}$  が供給され、他方の入力端には信号  $TMTRCDMIN$  が供給される。上記アンドゲート 5 1, 5 2 の出力端には、ノアゲート 5 3 の一方及び他方の入力端が接続され、このノアゲート 5 3 の出力端はインバータ 5 5 の入力端に接続される。また、信号  $TMTRCDMIN$  及びバンク選択信号  $BNKSEL$  は、ノアゲート 5 4 の一方及び他方の入力端に供給され、このノアゲート 5 4 の出力端はインバータ 5 6 の入力端に接続される。上記インバータ 5 5, 5 6 の出力端は、ナンドゲート 5 7 の一方及び他方の入力端に接続され、このナンドゲート 5 7 の出力端からバンク活性化信号（第 3 の信号） $b_{BNKACT}$  が出力されるようになっている。

## 【 0 0 4 1 】

図 2 は、上記図 1 に示した回路の動作を説明するための各信号の動作波形図である。

## 【 0 0 4 2 】

通常動作モード時には、信号  $TMTRCDMIN$  が “L” レベル（信号  $b_{TMTRCDMIN}$  は “H” レベル）であり、第 3 の回路 1 3 によって第 1 の回路 1 1 の出力信号が選択される。ファーストコマンドを受けて、コマンド検知信号  $b_{ACTV}$  が “L” レベルになると、それを受けてロウ系回路の制御信号（該当するバンクの活性化信号） $BNK$  を “H” レベルにし、ワード線  $WL$  を活性化するとともにセンスアンプを動作状態にし、カラムゲーティング解除信号  $b_{CENB}$  を “L” レベルにする。

## 【 0 0 4 3 】

これに対し、本第 1 の実施の形態では、図 2 に示すように信号  $TMTRCDMIN$  が “H” レベル（信号  $b_{TMTRCDMIN}$  は “L” レベル）となってテストモードにエントリすると、第 3 の回路 1 3 によって第 2 の回路 1 2 の出力信号  $b_{ACTVD}$  が選択され、前述のロウ系回路の一連の動作をセカンドコマンドの入力と同一のタイミングから開始する。これにより、カラムゲーティング解除信号  $b_{CENB}$  が “L” レベルになるのを受けてから、カラム選択線  $CSL$  が “

H”レベルに切り替わるように制御できる。

【0044】

具体的には、図1に示した回路において、コマンド検知信号  $bACTV$  を1サイクルシフト（遅延）し、且つパルス化した信号  $bACTVD$  を使用してバンク活性化信号  $bBNKACT$  を“L”レベルにしている。この制御により、図2の動作波形図に示すような、ロウ系回路の制御信号（該当するバンクの活性化信号） $BNK$  をセカンドコマンドと同一サイクルで“H”レベルに切り替える制御を実現できる。

【0045】

以上により、カラムゲーティング解除信号  $bCENB$  の“L”レベルを受けてカラム選択線  $CSL$  を活性化する  $tRCD$  が厳しい条件を、ダイ・ソートテストにおけるクロック周波数が緩和された条件で実現できる。

【0046】

従って、上記のような構成並びに方法によれば、クロックサイクルタイム  $tCK$  の長いダイ・ソートテストなどのテストモードにエントリした時に、この同期型半導体記憶装置内部でロウ系回路の動作開始を遅らせて、セカンドコマンドの入力と同時に設定する（同期させる）ことができる。これによって、ファーストコマンドが入力され、ロウ系回路の動作が開始されてから、セカンドコマンドが入力されカラム系回路の動作が開始されるまでの時間  $tRCD$  を短くして厳しい条件でメモリアのスクリーニングを行うことができる。

【0047】

#### 〔第2の実施の形態〕

上述した第1の実施の形態では、カラム選択線  $CSL$  の活性化がセカンドコマンドの入力タイミングで制御されることを想定している。しかしながら、実際のカラム選択線  $CSL$  の活性化のタイミングは、カラム系回路の他の制御との兼ね合いにより、セカンドコマンドの入力から半クロックあるいは1クロック後のサイクルから制御する場合が多い。この時には、上記第1の実施の形態を適用した場合においても、 $tRCD$  が緩和された条件でのダイ・ソートテストになってしまう。

## 【 0 0 4 8 】

そこで、本第 2 の実施の形態は、このような条件においても  $t_{RCD}$  が厳しい条件でダイ・ソートテストを実現できるように、バンク活性化信号  $b_{BNKACT}$  をセカンドコマンドの入力よりも更に半クロックまたは 1 クロック遅延させるものである。

## 【 0 0 4 9 】

図 3 に示す回路は、上記図 1 に示した回路における第 2 の回路 1 2 中にタイミング制御回路 1 4 を設けたものである。即ち、図 1 に示した回路におけるインバータ 3 5 に代えてタイミング制御回路 1 4 を設けている。図 3 において、図 1 と同一部分には同じ符号を付してその詳細な説明は省略する。

## 【 0 0 5 0 】

第 2 の回路 1 2 は、インバータ 3 1 ~ 3 9, 6 0, 6 1、クロックドインバータ 4 0 ~ 4 4, 6 2 ~ 6 5、アンドゲート 6 6, 6 7, 6 8、ノアゲート 4 5, 4 6, 6 9 及びナンドゲート 4 7, 4 8 などを含んで構成されている。動作モード指示信号  $TM_{TRCDMIN}$  は上記インバータ 3 1 の入力端に供給され、このインバータ 3 1 の出力信号  $b_{TM_{TRCDMIN}}$  が上記ノアゲート 4 5 の一方の入力端に供給される。このノアゲート 4 5 の他方の入力端には、コマンド検知信号  $b_{ACTV}$  が供給される。このノアゲート 4 5 の出力端はナンドゲート 4 7 の一方の入力端に接続される。上記ナンドゲート 4 7 は、クロック信号  $b_{CLK}$ ,  $CLK$  に同期して動作するもので、他方の入力端にはバンク選択信号  $BNKSEL$  が供給される。上記ナンドゲート 4 7 の出力端には、インバータ 3 2 の入力端が接続される。このインバータ 3 2 の出力端には、クロック信号  $CLK$ ,  $b_{CLK}$  に同期して動作するクロックドインバータ 4 0 の入力端が接続され、その出力端は上記インバータ 3 2 の入力端に接続される。また、上記インバータ 3 2 の出力端は、クロック信号  $CLK$ ,  $b_{CLK}$  に同期して動作するクロックドインバータ 4 1 の入力端に接続される。上記クロックドインバータ 4 1 の出力端は、インバータ 3 3 の入力端に接続される。上記インバータ 3 3 の出力端には、クロック信号  $b_{CLK}$ ,  $CLK$  に同期して動作するクロックドインバータ 4 2 の入力端が接続され、その出力端は上記インバータ 3 3 の入力端に接続される。上記インバ



ータ 3 3 の出力端は、クロック信号  $bCLK$ 、 $CLK$  に同期して動作するクロックドインバータ 4 3 の入力端に接続される。上記クロックドインバータ 4 3 の出力端は、インバータ 3 4 の入力端に接続される。このインバータ 3 4 の出力端には、クロック信号  $CLK$ 、 $bCLK$  に同期して動作するクロックドインバータ 4 4 の入力端が接続され、その出力端は上記インバータ 3 4 の入力端に接続される。上記インバータ 3 4 の出力端には、クロック信号  $CLK$ 、 $bCLK$  に同期して動作するクロックドインバータ 6 2 の入力端が接続され、その出力端は上記インバータ 6 0 の入力端に接続される。上記インバータ 6 0 の出力端は、クロック信号  $bCLK$ 、 $CLK$  に同期して動作するクロックドインバータ 6 3 の入力端に接続され、その出力端はインバータ 6 0 の入力端に接続される。このインバータ 6 0 の出力端は、クロック信号  $bCLK$ 、 $CLK$  に同期して動作するクロックドインバータ 6 4 の入力端に接続される。上記クロックドインバータ 6 4 の出力端は、インバータ 6 1 の入力端に接続される。このクロックドインバータ 6 1 の出力端は、クロック信号  $bCLK$ 、 $CLK$  に同期して動作するクロックドインバータ 6 5 の入力端に接続され、その出力端は上記インバータ 6 1 の入力端に接続される。

#### 【 0 0 5 1 】

上記インバータ 3 4 の出力信号、上記インバータ 6 0 の出力信号及び上記インバータ 6 1 の出力信号はそれぞれ、アンドゲート 6 6、6 7、6 8 の一方の入力端にそれぞれ供給される。上記アンドゲート 6 6 の他方の入力端にはタイミング制御信号  $TM1$  が、上記アンドゲート 6 7 の他方の入力端にはタイミング制御信号  $TM2$  が、上記アンドゲート 6 8 の他方の入力端にはタイミング制御信号  $TM3$  がそれぞれ供給される。これらアンドゲート 6 6、6 7、6 8 の出力端には、ノアゲート 6 9 の第 1 乃至第 3 の入力端がそれぞれ接続される。上記タイミング制御信号  $TM1 \sim TM3$  は、ロウ系回路の動作開始タイミングの遅延量を選択するための信号である。上記タイミング制御信号  $TM1$  が “H” レベルとなると、ロウ系回路の動作開始タイミングがセカンドコマンドの入力と同時に becoming 遅延される。上記タイミング制御信号  $TM2$  が “H” レベルとなると、ロウ系回路の動作開始タイミングがセカンドコマンドの入力よりも半クロック遅延される。

。上記タイミング制御信号 TM3 が “H” レベルとなると、ロウ系回路の動作開始タイミングがセカンドコマンドの入力よりも 1 クロック遅延される。

#### 【 0 0 5 2 】

また、上記ノアゲート 6 9 の出力端には、インバータ 3 6 の入力端及びノアゲート 4 6 の一方の入力端が接続される。このインバータ 3 6 の出力端は、インバータ 3 7 の入力端に、このインバータ 3 7 の出力端はインバータ 3 8 の入力端に順次接続され、インバータ 3 8 の出力端が上記ノアゲート 4 6 の他方の入力端に接続される。上記ノアゲート 4 6 の出力端は、ナンドゲート 4 8 の一方の入力端に接続され、他方の入力端には信号 TMT R C D M I N が供給される。上記ナンドゲート 4 8 の出力端はインバータ 3 9 の入力端に接続され、このインバータ 3 9 から第 2 の信号 b A C T V D が出力されるようになっている。

#### 【 0 0 5 3 】

上記のような構成によれば、タイミング制御回路 1 4 を付加することにより、セカンドコマンドの入力と同時のみでなく、セカンドコマンドの入力より半クロック後あるいはセカンドコマンドの入力より 1 クロック後からカラム選択線 C S L が活性化されるような制御であっても、タイミング選択信号 TM1, TM2, TM3 によりカラム選択線 C S L の活性化タイミングに合わせて信号 B N K が “H” レベルに切り替わるタイミングを選択して切り替えることにより、t R C D が厳しい条件でダイ・ソートテストを行うことができる。

#### 【 0 0 5 4 】

従って、上記のような構成並びに方法によれば、カラム選択線 C S L の活性化タイミングが、カラム系回路の他の制御との兼ね合いにより、セカンドコマンドから半クロックあるいは 1 クロック後のサイクルから制御される場合にも、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせて t R C D が厳しい条件でのダイ・ソートテストを実現できる。また、タイミング選択回路 1 4 を設けたことにより、タイミング制御信号 TM1, TM2, TM3 に基づいて、ロウ系回路の動作開始のタイミングを自由に設定でき、必要に応じた t R C D が厳しい条件でのダイ・ソートテストを実施できる。

#### 【 0 0 5 5 】

### 〔第 3 の実施の形態〕

前述した第 1 の実施の形態あるいは第 2 の実施の形態の制御を適用することにより、 $t_{RCD}$  が厳しい条件でダイ・ソートテストを行うことができるが、本第 3 の実施の形態では更に厳しい  $t_{RCD}$  の条件でのスクリーニングを行えるようにしている。

#### 【 0 0 5 6 】

図 4 は、本第 3 の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するための動作波形図である。図 4 からわかるように、第 1 の実施の形態または第 2 の実施の形態におけるテストモード時に、カラムゲーティング解除信号  $b_{CENB}$  を通常より前倒しすることにより、カラム系回路の活性化タイミングを早くしている。これによって、更に  $t_{RCD}$  の条件が厳しくなり、ガードバンドを持った  $t_{RCD}$  のスクリーニングをダイ・ソートテストなどのクロック周波数が緩和された条件で実現できる。

#### 【 0 0 5 7 】

なお、上記第 1 乃至第 3 の実施の形態では  $FCRAM$  を例にとって説明したが、他の半導体記憶装置にも適用できるのは勿論である。

#### 【 0 0 5 8 】

以上第 1 乃至第 3 の実施の形態を用いて本発明の説明を行ったが、本発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも 1 つが解決でき、発明の効果の欄で述べられている効果の少なくとも 1 つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

#### 【 0 0 5 9 】

#### 【発明の効果】

以上説明したように、本発明によれば、長いクロックサイクルであっても、 $t$

R C Dを厳しい条件にしてスクリーニングテストを実行できる同期型半導体記憶装置及びそのテスト方法が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る同期型半導体記憶装置について説明するためのもので、クロック周波数が緩和された条件において、 $t_{RCD}$ が厳しいダイ・ソートテストを実現するための回路を抽出してその構成例を示す回路図。

【図 2】

本発明の第 1 の実施の形態に係る同期型半導体記憶装置のテスト方法について説明するためのもので、クロック周波数が緩和された条件において、 $t_{RCD}$ が厳しいダイ・ソートテストを実現するための動作波形図。

【図 3】

本発明の第 2 の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するためのもので、カラム選択線 C S L の活性タイミングに合わせて、ロウ系回路の動作開始を切り替える動作を実現できる回路を抽出してその構成例を示す回路図。

【図 4】

本発明の第 3 の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するためのもので、ガードバンドを持った  $t_{RCD}$  のスクリーニングを行う際の動作波形図。

【図 5】

従来の同期型半導体記憶装置について説明するためのもので、F C R A M のファーストコマンドとセカンドコマンドの組み合わせによる状態遷移図。

【図 6】

従来の同期型半導体記憶装置について説明するためのもので、図 5 のコマンド入力に対応したピン入力を説明するためのファンクションテーブルを示す図。

【図 7】

高速クロック周波数における、F C R A M の動作を説明するための動作波形図。

【図 8】

クロック周波数が緩和された条件における、F C R A M の動作を説明するための動作波形図。

【符号の説明】

1 1 …第 1 の回路

1 2 …第 2 の回路

1 3 …第 3 の回路

1 4 …タイミング制御回路

C L K, b C L K …クロック信号

t C K …クロックサイクルタイム

t R C …ランダムサイクルタイム

t R C D …ファーストコマンドが入力されロウ系回路の動作が開始されてから、セカンドコマンドが入力されカラム系回路の動作が開始されるまでの時間

t R A C …ランダムアクセスタイム

C S L …カラム選択線

b C E N B …カラムゲーティング解除信号

C E N B O N …セカンドコマンドでリード／ライト動作を受け付けることで発生する信号

b C O L A C T …セカンドコマンド検知信号

B N K S E L …バンク選択信号

B N K T M R …タイマーの出力信号

b B N K A C T …バンク活性化信号（第 3 の信号）

B N K …ロウ系回路の制御信号（該当するバンクの活性化信号）

b A C T V …コマンド検知信号

b A C T V D …遅延されたコマンド検知信号（第 2 の信号）、

T M T R C D M I N, b T M T R C D M I N …動作モード指示信号

T M 1, T M 2, T M 3 …タイミング制御信号

R D A …リードコマンド

W R A …ライトコマンド

L A L … ロワーアドレスラッチコマンド

M R S … モードレジスタセットコマンド

R E F … オートリフレッシュコマンド

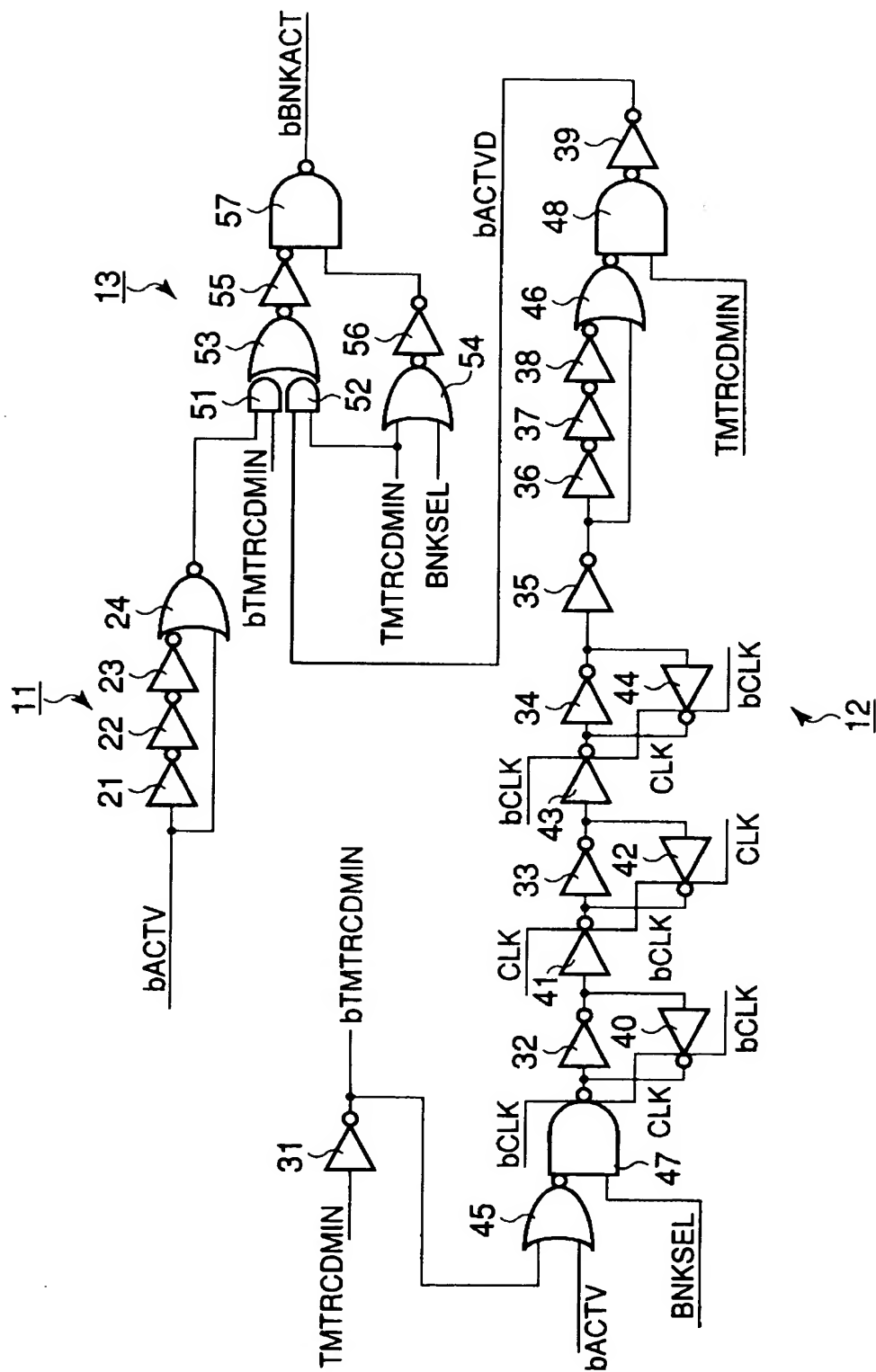
／ W E … ライトイネーブル信号

／ C A S … カラムアドレスストローブ信号

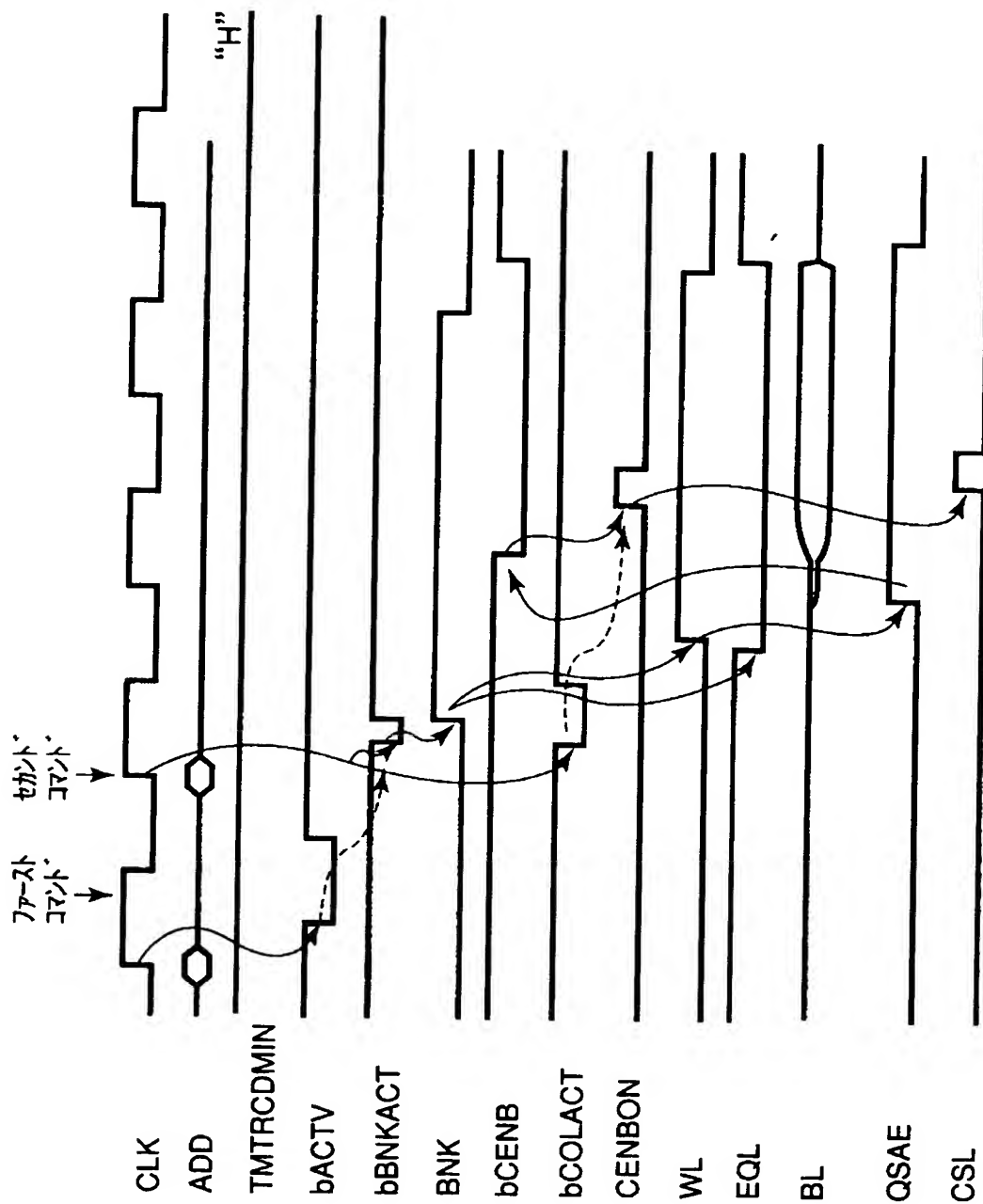
【書類名】

図面

【図 1】

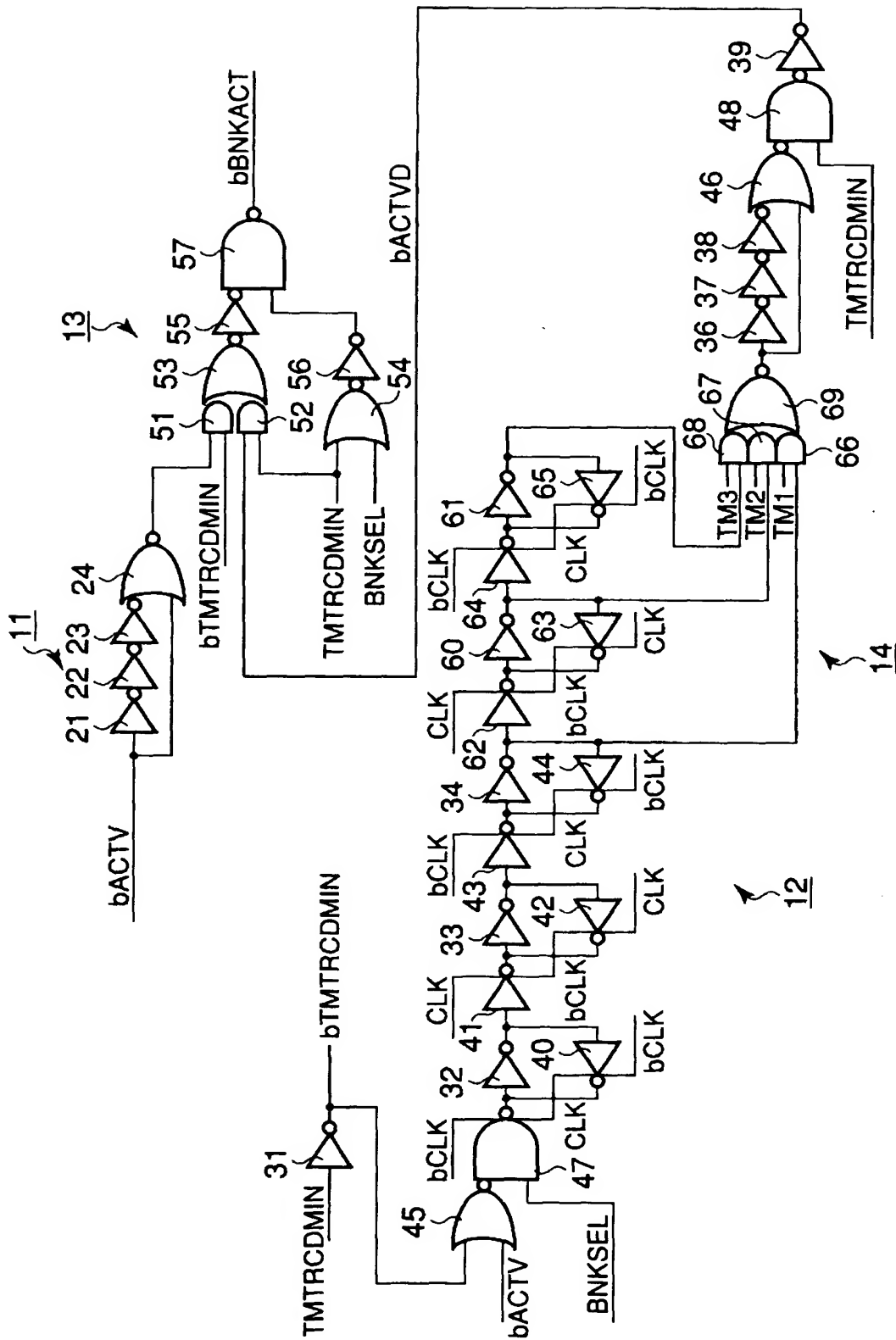


【図 2】

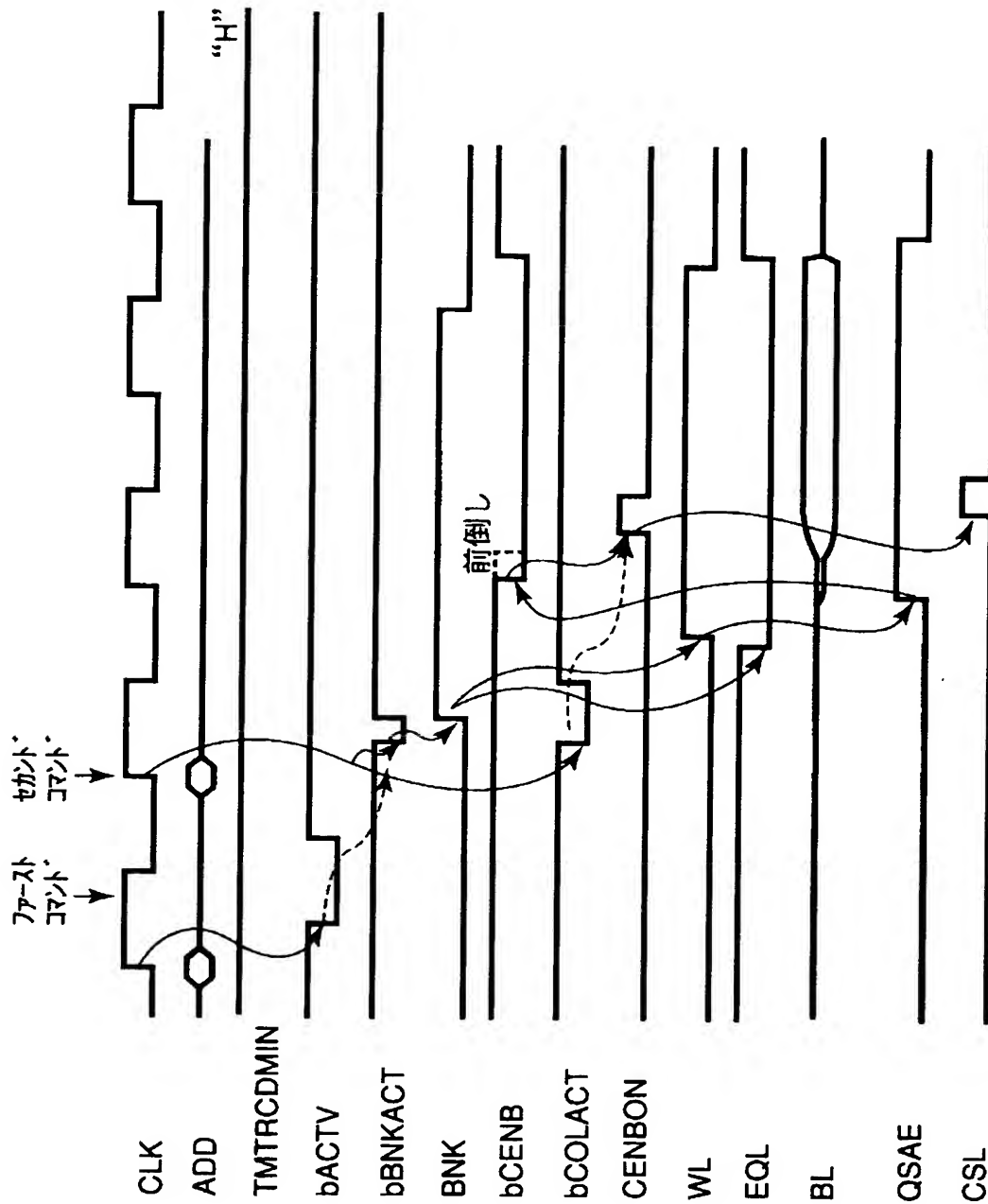




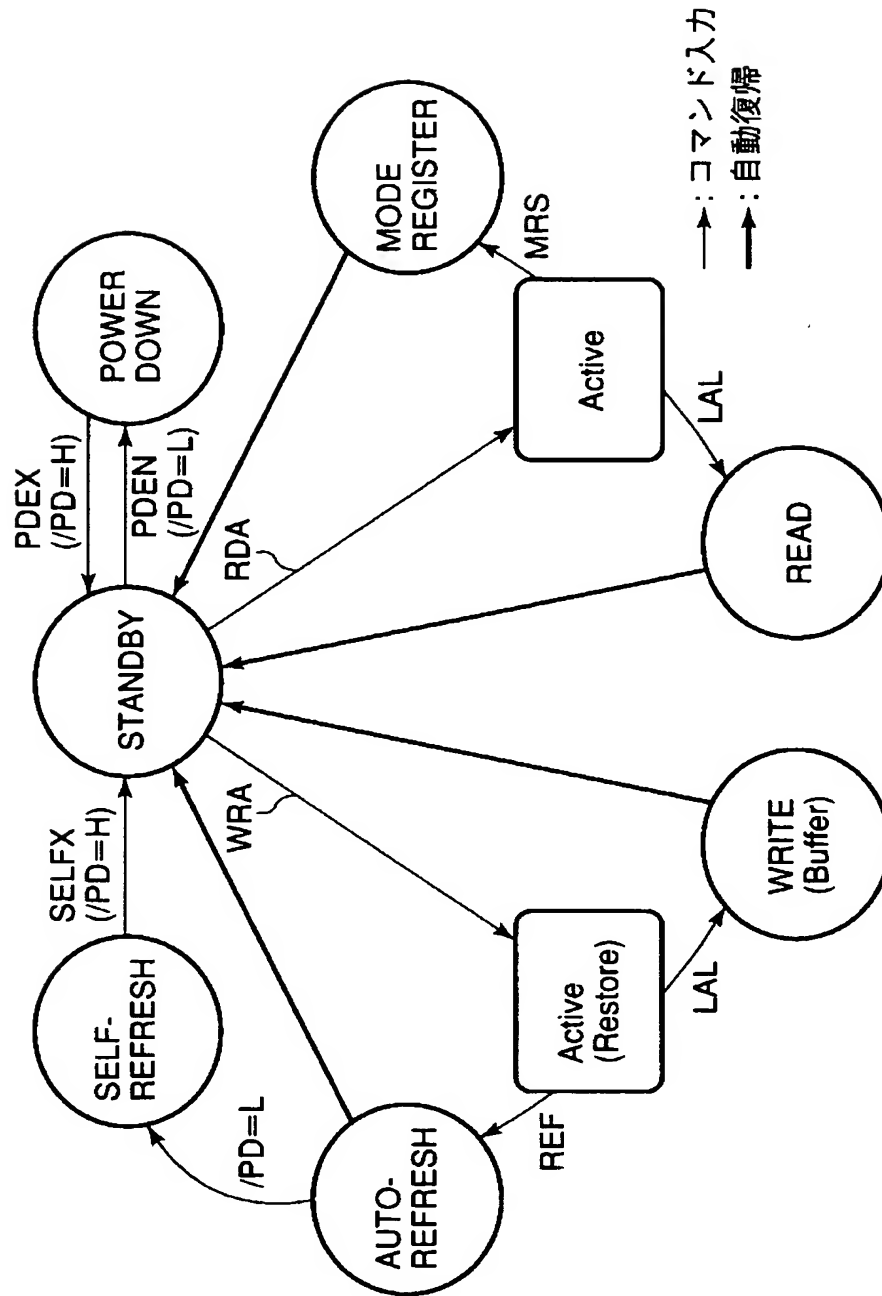
【図 3】



【図 4】



【図 5】



【図 6】

(a) 1st Command

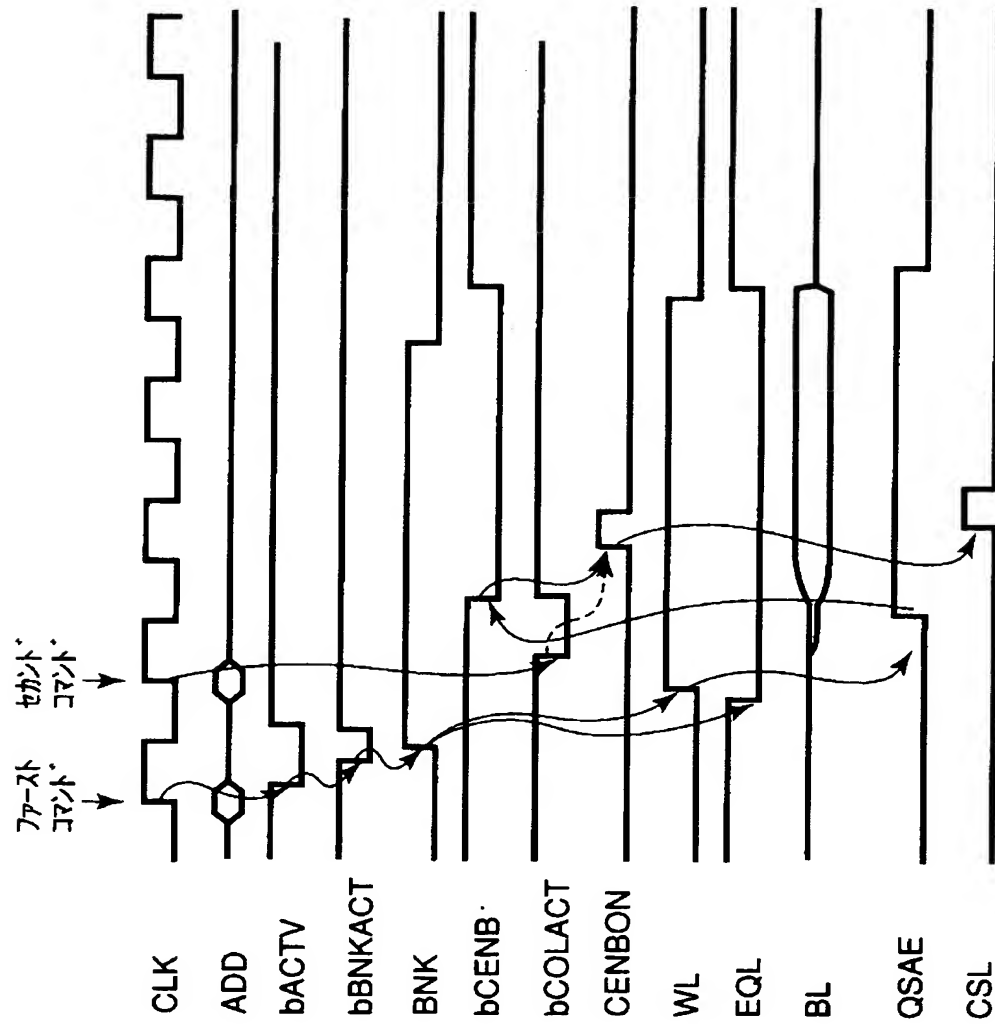
Function	Symbol	Pin name				
		/CS	FN (/RAS)	A14 (/WE)	A13 (/CAS)	A12-0
Deselect	DESL	H	X	X	X	X
Read with Auto-close	RDA	L	H	UA	UA	UA
Write with Auto-close	WRA	L	L	UA	UA	UA

(b) 2nd Command (1clock after from RDA or WRA command)

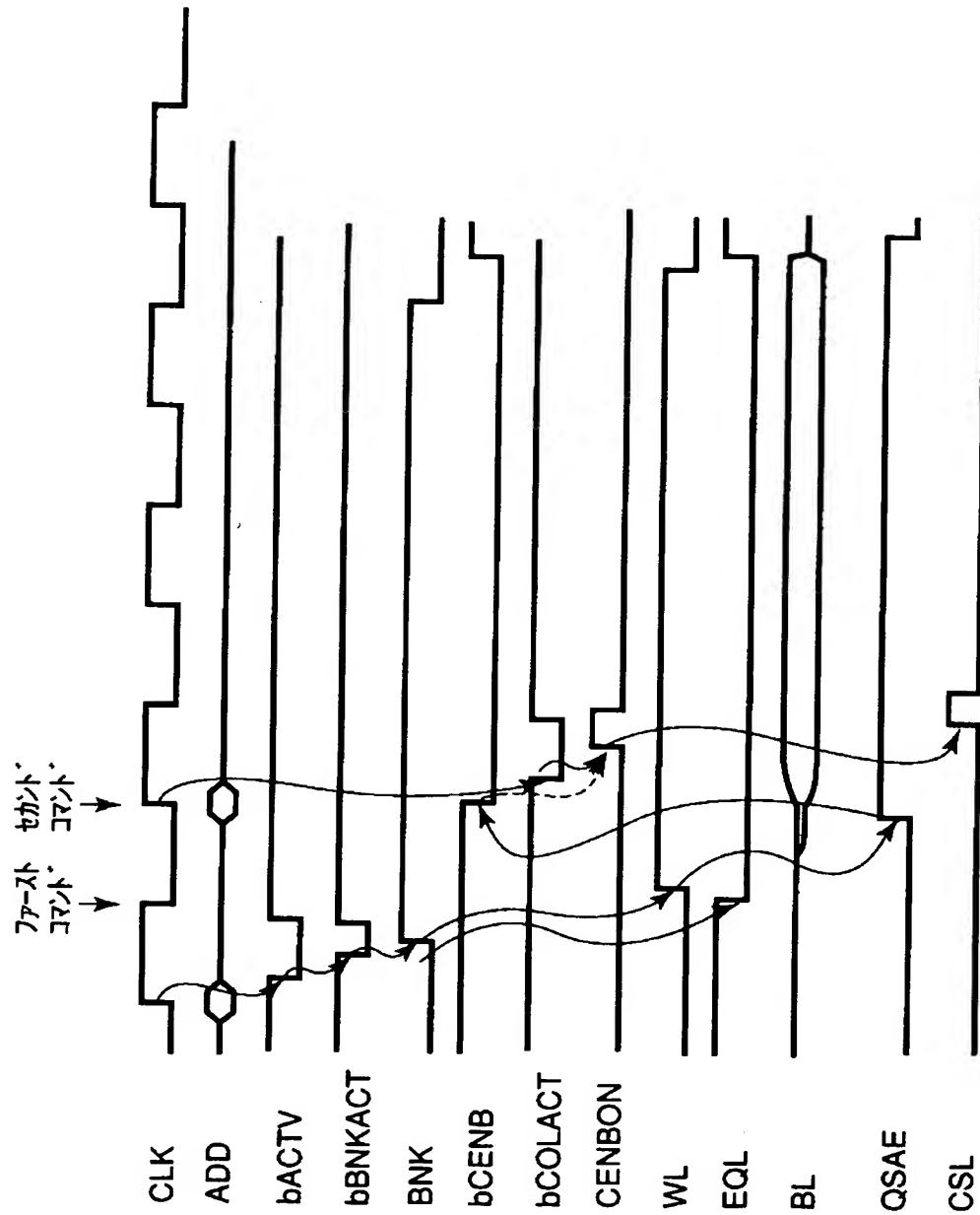
Function	Symbol	Pin name				
		/CS	FN (/RAS)	A14 (/WE)	A13 (/CAS)	A12-0
Lower Address Latch	LAL	H	X	X	X	LA
Mode Register Set*	MRS	L	X	L	L	V
Auto-Refresh	REF	L	X	X	X	X

Note\* BA0=L select Standard Mode Register and  
BA0=H does Extended Mode Register

【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 長いクロックサイクルであっても、 $t_{RCD}$ が厳しい条件でスクリーニングテストを実行できる同期型半導体記憶装置を提供することを目的とする。

【解決手段】 FCRAMにおいて、コマンド検知信号 $b_{ACTV}$ から第1の信号を生成する第1の回路11と、コマンド検知信号、動作モード指示信号 $TMTRCDMIN$ 及び選択信号 $BNKSEL$ が入力され、ロウ系回路の動作開始を第2のコマンドの入力と同期させるための第2の信号 $b_{ACTVD}$ を生成する第2の回路12と、動作モード指示信号で通常動作モードが指示された時に、上記第1の信号を選択し、テストモードが指示された時に、上記第2の信号を選択し、選択した上記第1または第2の信号と上記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号 $b_{BNKACT}$ を生成する第3の回路13とを具備することを特徴としている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝